

CLIPPEDIMAGE= JP402224274A

PAT-NO: JP402224274A

DOCUMENT-IDENTIFIER: JP 02224274 A

TITLE: CONDUCTIVITY MODULATION TYPE MOS FET

PUBN-DATE: September 6, 1990

INVENTOR-INFORMATION:

NAME

YAMAGUCHI, YOSHIHIRO
WATANABE, KIMINORI
NAKAGAWA, AKIO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP01123601

APPL-DATE: May 17, 1989

INT-CL (IPC): H01L029/784;H01L029/68

US-CL-CURRENT: 257/336,257/343

ABSTRACT:

PURPOSE: To realize an anode short-circuit structure and hence keep on-voltage at a low level without causing an increased device area and reduced withstand voltage by providing an n-type cathode layer kept at the same potential as that of a drain layer independent of an n-type base layer.

CONSTITUTION: A second conductivity type cathode layer 13, that adjoins to a second conductivity type base layer 3 including a first conductivity type drain layer 8 formed thereon, and that is isolated from the second conductivity type base layer 3 via a pn junction, is provided, with which cathode layer 13 a

cathode electrode, that is set at the same potential as that of a drain electrode 11, that is set at the same potential as that of a drain electrode 11, is allowed to make contact. Hereby, a substantially anode short-circuit structure is realized in its high injection state. Further, since the n-type base layer 3 and the n-type cathode layer 13 are separated from each other via a pn junction, low ionic potential characteristic is assured without causing an increased device area and lowered withstand voltage.

COPYRIGHT: (C)1990, JPO&Japio

⑫ 公開特許公報 (A) 平2-224274

⑬ Int. Cl. 5
H 01 L 29/784
29/68

識別記号

府内整理番号

⑭ 公開 平成2年(1990)9月6日

8526-5F
8422-5F H 01 L 29/78 301 J
審査請求 未請求 請求項の数 10 (全11頁)

⑮ 発明の名称 導電変調型MOSFET

⑯ 特願 平1-123601

⑰ 出願 平1(1989)5月17日

優先権主張 ⑯ 昭63(1988)11月29日 ⑮ 日本 (JP) ⑯ 特願 昭63-301718

⑱ 発明者 山口 好広 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発明者 渡辺 君則 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 発明者 中川 明夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉑ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

㉒ 代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

導電変調型MOSFET

2. 特許請求の範囲

(1) 半導体ウェハと、

この半導体ウェハの表面に選択的に形成された第1導電型ベース層と、

この第1導電型ベース層表面に選択的に形成された第2導電型のソース層と、

前記半導体ウェハに選択的に形成された第2導電型ベース層と、

この第2導電型ベース層表面に形成された第1導電型のドレイン層と、

前記ソース層と第2導電型ベース層に挟まれた領域の第1導電型ベース層表面にゲート絶縁膜を介して形成されたゲート電極と、

前記ソース層と第1導電型ベース層に同時にコントクトして配設されたソース電極と、

前記ドレイン層にコントクトして配設されたドレイン電極と、

前記第2導電型ベース層に隣接して前記半導体ウェハ表面に形成された第2導電型のカソード層と、

このカソード層表面に形成された前記ドレイン電極と同電位に設定されるカソード電極と、を備えたことを特徴とする導電変調型MOSFET。

(2) 半導体ウェハと、

この半導体ウェハの表面に選択的に形成された第1導電型ベース層と、

この第1導電型ベース層表面に選択的に形成された第2導電型のソース層と、

前記半導体ウェハに選択的に形成された第2導電型ベース層と、

この第2導電型ベース層表面に形成された第1導電型のドレイン層と、

前記ソース層と第2導電型ベース層に挟まれた領域の第1導電型ベース層表面にゲート絶縁膜を介して形成された第1ゲート電極と、

前記ソース層と第1導電型ベース層に同時にコ

ンタクトして配設されたソース電極と、

前記ドレイン層にコンタクトして配設されたドレイン電極と、

前記第2導電型ベース層に隣接して前記半導体ウェハ表面に形成された第2導電型のカソード層と、

このカソード層表面に形成された前記ドレイン電極と同電位に設定されるカソード電極と、

前記ドレイン層とカソード層に挟まれた第2導電型ベース層表面にゲート絶縁膜を介して形成された第2ゲート電極と、

を備えたことを特徴とする導電変調型MOSFET。

(3) 半導体ウェハと、

この半導体ウェハの表面に選択的に形成された第1導電型ベース層と、

この第1導電型ベース層表面に選択的に形成された第2導電型のソース層と、

前記半導体ウェハに選択的に形成された第2導電型ベース層と、

電型ベース層と、

この第2導電型ベース層表面に形成された第1導電型のドレイン層と、

前記ソース層と第2導電型ベース層に挟まれた領域の第1導電型ベース層表面にゲート絶縁膜を介して形成された第1ゲート電極と、

前記ソース層と第1導電型ベース層に同時にコンタクトして配設されたソース電極と、

前記ドレイン層と第2導電型ベース層に同時にコンタクトして配設されたドレイン電極と、

前記第2導電型ベース層に隣接して前記半導体ウェハ表面に形成された第2導電型のカソード層と、

このカソード層表面に形成された前記ドレイン電極と同電位に設定されるカソード電極と、

前記ドレイン層とカソード層に挟まれた領域の第2導電型ベース層表面にゲート絶縁膜を介して形成された第2ゲート電極と、

を備えたことを特徴とする導電変調型MOSFET。

この第2導電型ベース層表面に形成された第1導電型のドレイン層と、

前記ソース層と第2導電型ベース層に挟まれた領域の第1導電型ベース層表面にゲート絶縁膜を介して形成された第1ゲート電極と、

前記ソース層と第1導電型ベース層に同時にコンタクトして配設されたソース電極と、

前記ドレイン層と第2導電型ベース層に同時にコンタクトして配設されたドレイン電極と、

前記ドレイン層と半導体ウェハ領域に挟まれた第2導電型ベース層表面にゲート絶縁膜を介して形成された第2ゲート電極と、

を備えたことを特徴とする導電変調型MOSFET。

(4) 半導体ウェハと、

この半導体ウェハの表面に選択的に形成された第1導電型ベース層と、

この第1導電型ベース層表面に選択的に形成された第2導電型のソース層と、

前記半導体ウェハに選択的に形成された第2導

(5) 前記第2導電型ベース層とカソード層間の半導体ウェハ表面に絶縁膜が設けられ、この絶縁膜上を通りて前記ドレイン電極とカソード電極が一体形成されていることを特徴とする請求項1記載の導電変調型MOSFET。

(6) 前記半導体ウェハは半導体基板上に誘電体分離されて素子領域の半導体層が形成されていることを特徴とする請求項1, 2, 3または4のいずれかに記載の導電変調型MOSFET。

(7) ゲート領域がリングをなして形成され、そのリングの外側にソース層が形成され、内側にドレイン層がリングをなして形成され、そのドレイン層の内側に前記カソード層が形成されていることを特徴とする請求項1, 2または4のいずれかに記載の導電変調型MOSFET。

(8) ゲート領域がリングをなして形成され、そのリングの内側にソース層、外側にドレイン層が形成され、そのドレイン層の外側に前記カソード層が形成されていることを特徴とする請求項1, 2または4のいずれかに記載の導電変調型

MOSFET。

(9) 前記第2ゲート電極表面に絶縁膜が設けられ、この絶縁膜上を通って前記ドレイン電極とカソード電極が一体形成されていることを特徴とする請求項2または8記載の導電変調型MOSFET。

(10) ゲート領域がリング状を成して形成され、そのリングの外側にソース層が形成され、内側にドレイン層がリングをなして形成され、その内側に第2ゲート電極が形成していることを特徴とする請求項7記載の導電変調型MOSFET。

3. 発明の詳細な説明

【発明の目的】

（産業上の利用分野）

本発明は、ドレイン、ソースおよびゲートが半導体ウェハの一方の面に形成された横型の導電変調型MOSFETに関する。

（従来の技術）

第15図は、従来の横型の導電変調型MOSFETの要部構造を示す。半導体ウェハは、

子電流がn型バッファ層3を介してドレイン層8に入ると、そのpn接合が順バイアスされる結果、ドレイン層8から正孔がn型バッファ層3を介してn⁻型ドリフト層4に注入される。こうしてn⁻型ドリフト層4には電子および正孔が蓄積されて導電変調が起こる。この導電変調の効果により、オン時にはn⁻型ドリフト層4の抵抗が実質的に小さいものとなり、小さいオン電圧が得られる。

ゲート電極6をソース電極10に対して負または零にバイアスすることにより、チャネル領域の反転層が消失してターンオフする。

この様な横型の導電変調型MOSFETにおいて、ターンオフ時のスイッチング速度を速くするためには、n型ベース層に蓄積したキャリアを速やかに消滅させることが必要である。n型ベース層内に蓄積した電子が速やかにドレイン層8側に抜けないと、p型ドレイン層8-n型ベース層3, 4-p型ベース層7からなるpnpトランジスタが動作し、大きいテール電流が流れ、ターンオフ

p⁺型シリコン基板1にp⁻型層2をエピタキシャル形成したものを用いている。このウェハの表面にp型ベース層7が形成され、その中に選択的にn⁺型ソース層9が形成されている。またp型ベース層7に隣接してn⁻型高抵抗ベース層（ドリフト層）4とn型低抵抗ベース層（バッファ層）3が形成されている。n型バッファ層3の表面にはp⁺型ドレイン層8が形成されている。p型ベース層7のn⁺型ソース層9とn⁻型ドリフト層4に挟まれた領域をチャネル領域として、この上にゲート絶縁膜5を介してゲート電極6が形成されている。ソース電極10はソース層9とp型ベース層7に同時にコンタクトするように配設され、ドレイン電極11はp⁺型ドレイン層8にコンタクトさせている。

この導電変調型MOSFETにおいて、ゲート電極6にソース電極10に対して正のバイアスを印加すると、ゲート電極6下のp型ベース層7の表面（チャネル領域）が反転してソース層9からn⁻型ドリフト層4に電子が注入される。この電

時間が長いものとなる。ターンオフ動作を速くする一つの方法は、n型ベース層でのキャリア寿命を小さくすることである。しかしこの方法は、ターンオフ特性を改善する反面、素子のオン電圧の上昇をもたらす、という難点がある。

一方、導電変調型MOSFETをモータ駆動回路のインバータ回路等に用いる場合、第16図に示すように逆並列にダイオードを接続することが行われる。これは、モータのインダクタンス成分に蓄積されるエネルギーを回生するためである。しかし、このようにダイオードを接続しなければならないことは、装置の大形化、コスト高の原因となる。

これらの問題を解決するため、第17図に示すように、ドレイン電極11を一部n⁺型層12によりn型バッファ層3に短絡させる構造が提案されている。これは、アノード・ショート構造と呼ばれる。

この構造を採用すれば、ターンオフ時、n型ベース層内に蓄積されたキャリアはアノード・ショ

ート部から効果的に排出されるので、高速のスイッチング特性が得られる。またこのアノード・ショート部の導入により、導電変調型MOSFETに等価的に第16図に示す並列ダイオードが内蔵されることになり、外部的にダイオードを接続する必要がなくなる。

しかしこのアノード・ショート構造を採用すると、p型ドレン層8からn型ベース層1への正孔の注入が抑制されるので、導電変調の効果が十分得られず、オン電圧が高くなってしまう。そして導電変調を起こさせるためには、ドレン層のn型ベース層の横方向抵抗を十分に大きくすることが必要になる。具体的には、①短絡部迄のp型ドレン層の幅を大きくする、②n型ベース層の不純物濃度を下げる、③p型ドレン層下のn型ベース層の厚みを小さくする、等が考えられる。しかし、①の方法は素子面積を大きいものとする。②、③の方法は素子の耐圧を低いものとする。

導電型ベース層にコンタクトさせるアノード・ショート構造を採用すると共に、ドレン層とウェハ領域に挟まれた第2導電型ベース層表面にゲート絶縁膜を介して第2ゲート電極を設けたことを特徴とする。

(作用)

第1の発明によれば、大電流が流れた時に初めて実質的なアノード・ショート構造となる。例えば、第1導電型をp型、第2導電型をn型として、n型ベース層に隣接してn型カソード層を形成した場合を考える。この素子のオン時、n型ソース層からn型ベース層に注入された電子は低注入状態ではp型ドレン層に吸収される。このときドレン層からn型ベース層に正孔の注入が起り、導電変調が生じる。電流が増大して高注入状態になると、p型ドレン層からn型ベース層に注入される正孔はn型ベース層からはみ出してウェハ内に蓄積される。このウェハ内の正孔蓄積量が多くなると、n型ベース層からウェハには電子が注入される。この電子はターンオフ時にはドレ

(発明が解決しようとする課題)

以上のように従来の導電変調型MOSFETは、ターンオフ時のスイッチング特性を改善しようとすると、オン電圧が高くなり、またアノード・ショート構造を採用してしかも導電変調の効果を十分なものにしようとすると素子の大形化、耐圧低下を招く等の問題があった。

本発明は、この様な問題を解決した導電変調型MOSFETを提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は、第1に、横型の導電変調型MOSFETにおいて、第1導電型のドレン層が形成される第2導電型ベース層に隣接してかつ第2導電型ベース層とはpn接合分離された第2導電型カソード層を設け、このカソード層にはドレン電極と同電位設定されるカソード電極をコンタクトさせたことを特徴とする。

本発明は、第2に、横型の導電変調型MOSFETにおいて、ドレン電極を一部第2

イン層と同じ電位に設定されたカソード層に簡単に排出される。こうして高注入状態では実質的なアノード・ショート構造が実現される。

しかも、n型ベース層とn型カソード層とはpn接合分離されているから、従来のアノード・ショート構造を採用した場合と異なり、素子の大形化や耐圧低下を伴うことがない。またn型カソード層とp型ベース層間のpn接合ダイオードが等価的に導電変調MOSFETに逆並列に入るから、逆導通機能をも有する。

また第2の発明によれば、ドレン側にアノード・ショート構造を採用しているが、オン時に第2ゲート電極にバイアスを印加して第2ベース層表面にチャネルを形成することにより、ドレン層からウェハ領域へのキャリア注入を十分なものとすることができる。したがってアノード・ショート構造を採用したことによるオン時のドレン層からのキャリア注入効率の低下、それによるオン電圧の上昇という難点は解決される。

(実施例)

以下、本発明の実施例を説明する。

第1図は、一実施例の導電変調型MOSFETの要部構造を示す断面図である。従来例である第15図と対応する部分には第15図と同一符号を付してある。p⁺（またはn⁺またはn⁻）型シリコン層1を基板としてこの上にp⁻型層2をエピタキシャル成長させたウェハを用いており、この実施例では、n型バッファ層3を挟んでp型ベース層7と対向する領域のp⁻型層2の表面にn型カソード層13を設け、このn型カソード層13の表面にn⁺型層14を介してカソード電極15をオーミック・コンタクトさせている。カソード電極15は、ドレイン電極11と接続されてドレイン電極と同電位が与えられるようになっている。

この導電変調型MOSFETの基本動作は従来のものと変わらない。ターンオンは、ゲート電極6にソース電極10に対して正バイアスを与える、p型ベース層7表面のチャネル領域を反転させて

2の表面にn型カソード層13が設けられているため、p⁻型層2内に蓄積されていた電子はこのn型カソード層13から速やかに排出される。即ち実質的にアノード・ショート構造と同様の動作が行われ、ターンオフ時のスイッチング速度は速いものとなる。

こうしてこの実施例によれば、ターンオン時は従来の素子と同様に動作し、アノード・ショート構造を採用した場合の素子面積の増大や耐圧低下を招くことなく、低いオン電圧特性を得ることができる。しかもターンオフ時は、n型カソード層が実質的なアノード・ショートの働きをし、その結果高速ターンオフ特性が得られる。またこの実施例の素子ではp型ベース層7-p⁻型層2-n型カソード層13からなるダイオードが素子に逆並列に入るから、外部にダイオードを接続しなくても逆導通機能を有する。

本発明の他の実施例をいくつか説明する。以下の実施例において、第1図と対応する部分には、第1図と同一符号を付して詳細な説明は省略する。

ソース層9から電子をn⁻型ドリフト層4に注入することにより行われる。この電子電流がn型バッファ層3を介してp型ドレイン層8に注入されると、そのpn接合が順バイアスされる結果p型ドレイン層8からn型バッファ層3を介してn⁻型ドリフト層4に正孔が注入される。これにより、n⁻型ドリフト層4内で導電変調が起こる。この導電変調の効果により、n⁻型ドリフト層4の抵抗を実質的に小さくでき、低いオン電圧が得られる。大電流が流れると、p型ドレイン層8から注入された正孔はn型バッファ層3およびn⁻型ドリフト層4をはみ出してp⁻型層2に蓄積される。これによってn型バッファ層3の電子もp⁻型層2に注入されて、p⁻型層2内でも導電変調が起こる。

ゲート電極6をソース電極10に対して負バイアスまたは零バイアスとすると、ゲート電極6下のチャネル反転層が消失してソース層9からの電子注入がなくなる。これにより素子はターンオフする。このときこの実施例の素子では、p⁻型層

第2図は、第1図の構造を僅かに変形した実施例であり、n型バッファ層3とn型カソード層13の間のp⁻型層2表面を絶縁膜16で覆い、この絶縁膜16上を通してドレイン電極11とカソード電極15を連続的に一体形成したものである。

第3図の実施例は、n⁻型ドリフト層4をp型ベース層7に接触させず、p型ベース層7から僅かに離して形成したものである。これにより、ドレイン・ソース間の逆耐圧が高いものが得られる。

第4図は、半導体ウェハとしてp⁻型層2をエピタキシャル成長させた上に更に極めて高抵抗のn⁻型層17をエピタキシャル成長させたものを用いた実施例である。この実施例の場合、n⁻型層17が十分に高抵抗であれば、n型カソード層13とn型バッファ層3は事实上分離されるので、先の実施例と同様な効果が期待できる。

第5図は、誘電体分離ウェハを用いた実施例である。即ちp⁺型層1より上の部分が第1のシリコン基板であり、下の部分が第2のシリコン基板

21であって、両者は鏡面研磨されており、これらの面に分離用誘電体膜として酸化膜18を形成した状態で直接接合技術により一体化している。横方向素子分離領域には溝を設けて、その内部に内壁面に酸化膜19を形成した状態で多結晶シリコン膜20を埋め込んでいる。このような誘電体分離ウェハ構造は、2枚の基板の直接接合技術によらず、例えば多結晶シリコン中に単結晶シリコンを埋込む等の方法で形成したものであっても勿論よい。

以上の実施例では、素子の要部断面構造のみを示したが、より具体的に本発明を適用した実施例のレイアウトおよび断面構造をいくつか示す。

第6図(a) (b)は、第2図の実施例の構造を具体化した実施例の平面図とそのA-A'断面図である。この実施例ではゲート領域が細長いリングをなして形成され、その内側にp型ドレイン層8が、外側にn型ソース層9がそれぞれ細長いリングをなして形成され、ドレイン層8に囲まれる領域n型カソード層13が形成されている。図

様の効果を得ることができる。

本発明は更に種々変形して実施することができる。例えば、第11図に示すように素子ウェハの中の領域Aには本発明の素子を形成し、領域Bには従来型の素子を作るということも可能である。半導体ウェハはエピタキシャル・ウェハに限らずFZウェハまたはCZウェハをそのまま用いることも可能である。各部の導電型を逆にした場合にも本発明は当然有効である。

第12図は更に他の実施例である。第1図の実施例を基本として、p型ベース層7表面に形成したゲート電極6を第1ゲート電極とし、この他に、ドレイン層8とカソード層14間のウェハ表面にゲート絶縁膜22を介して第2ゲート電極23を設けたものである。この構造の具体的なパターンも第6図～第8図で説明したものと同様にすることができる。この場合、第2ゲート電極23の表面を絶縁膜で覆って、この上を通してドレイン電極とカソード電極を一体形成することができる。

この実施例の導電変調型MOSFETの基本動

は、ストライプ状に形成される素子の一単位中の一部であり、実際の素子では通常この様な単位素子が複数個配列される。

第7図は、第6図の実施例を僅かに変形した実施例である。この実施例では、ドレイン層8で囲まれる領域内に複数のカソード層13₁、13₂…を配置している。

第8図(a) (b)は、ドレインとソースの関係を第6図の実施例とは逆にした実施例である。即ち、細長いリングをなすp型ドレイン層8の内側にn型ソース層9が配置され、外側にn型カソード層13が配置されている。

第9図は、第8図の実施例を僅かに変形した実施例であり、細長いリングをなす単位素子に対してその直線部にのみn型カソード層13を設けている。

第10図は第9図の実施例を更に変形した実施例であり、複数のn型カソード層13₁、13₂…を単位素子の周囲に配列したものである。

これらの実施例によっても、先の各実施例と同

作は、第1図のそれと同様である。この実施例ではターンオン時、ドレイン電極に対して第2ゲート電極23に負の電圧を印加する。これにより、第2ゲート電極23下のn型バッファ層3表面が反転してチャネルが形成され、ドレイン層8からp-型層2に直接正孔が注入される。この結果導電変調の効果がより大きいものとなり、一層低いオン電圧を得ることができる。ターンオフ時は第2ゲート電極23は正または零バイアスとする。

第13図は、これまでに述べた実施例とは少し異質である。第1図の実施例と比較すると、第1に、ドレイン側にアノード・ショート構造を採用している点で異なる。すなわち、ドレイン電極11の一部がn型バッファ層3にコンタクトする短絡部24が形成されている。そして第2に、カソード層は設けず、n型バッファ層3表面のドレイン層8とp-型層2により挟まれる領域にゲート絶縁膜22を介して第2ゲート電極23を設けている。

この実施例の導電変調型MOSFETの場合も、

第12図の実施例と同様に、ターンオン時に第2ゲート電極23に負バイアスを与える。これにより、第12図の実施例と同様に、オン時にドレン層8から第2ゲート電極23下の表面チャネルを通して正孔がp⁻型層2に注入され、大きい導電変調の効果が得られる。逆導通機能は、ドレン電極11と短絡したn型バッファ層3-n⁻型ドリフト層4-p型ベース層7からなるpn接合ダイオードで行われる。

この第13図の実施例は、アノード・ショート構造を採用した場合のオン時のドレン層からの正孔注入効率の低下という問題を、第1図の実施例とは別の構成により解決したものであるといえる。

第14図は、第12図の実施例と第13図の実施例を組み合わせた実施例である。動作説明は省略するがこの実施例によっても、先の各実施例と同様の効果が得られる。

[発明の効果]

以上述べたように本発明によれば、n型ベース

層とは独立にドレン層と同電位に保たれるn型カソード層を設けることにより、アノード・ショート構造を採用した場合の問題を解決し、素子面積の増大や耐圧低下をもたらすことなく、オン電圧を低く保ちしかも高速のターンオフ特性を得ることができ、更に逆導通機能を有する導電変調型MOSFETを実現することができる。

また本発明によれば、ドレン側にアノード・ショート構造を採用すると共に、ドレン層とウェハ領域に挟まれた第2導電型ベース層上にゲート絶縁膜を介して第2ゲート電極を設け、ターンオン時この第2ゲート電極下にチャネルを形成することによってドレン層からウェハ領域へ直接キャリア注入をおこなわせることにより、やはりアノード・ショート構造を採用したことの問題を解決して、オン電圧を低く保ちしかも高速のターンオフ特性を得ることができ、更に逆導通機能を有する導電変調型MOSFETを実現することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例の導電変調型MOSFETの要部構造を示す断面図。

第2図は他の実施例の導電変調型MOSFETを示す断面図。

第3図は他の実施例の導電変調型MOSFETの要部構造を示す断面図。

第4図は他の実施例の導電変調型MOSFETの要部構造を示す断面図。

第5図は他の実施例の導電変調型MOSFETの要部構造を示す断面図。

第6図(a)-(b)は第2図の実施例をより具体化した実施例の平面図とそのA-A'断面図。

第7図は第6図の実施例を変形した実施例の導電変調型MOSFETを示す平面図。

第8図(a)-(b)は更に他の実施例の導電変調型MOSFETを示す平面図とそのA-A'断面図。

第9図および第10図は第8図の実施例を変形した実施例の導電変調型MOSFETを示す平面

図、

第11図は更に他の実施例の導電変調型MOSFETを示す断面図。

第12図は第2ゲート電極を設けた実施例の導電変調型MOSFETの要部構造を示す断面図。

第13図は更に、カソード層を設けず同様の問題を解決した実施例の導電変調型MOSFETの要部構造を示す断面図。

第14図は第12図と第13図の構成を組み合わせた実施例の導電変調型MOSFETの要部構造を示す断面図。

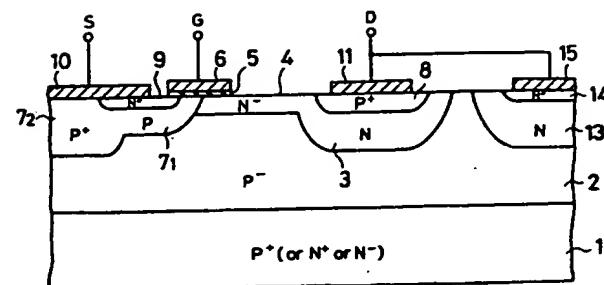
第15図は従来の導電変調型MOSFETの要部構造を示す断面図。

第16図はその等価回路図。

第17図は他の従来例の導電変調型MOSFETの要部構造を示す断面図である。

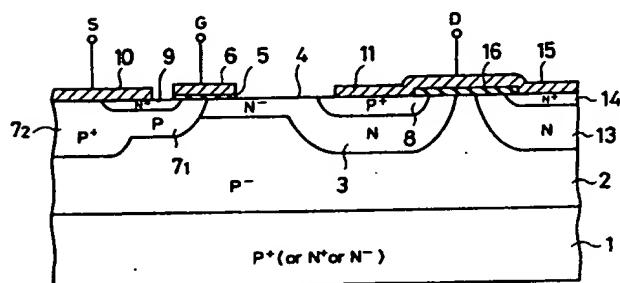
1…p型シリコン層、2…p⁻型層、3…n型バッファ層(低抵抗nベース層)、4…n⁻型ドリフト層(高抵抗nベース層)、5…ゲート絶縁膜、6…ゲート電極(第1ゲート電極)、7…

p型ベース層、8…p型ドレイン層、9…n型ソース層、10…ソース電極、11…ドレイン電極、13…n型カソード層、14…n⁺型層、15…カソード電極、16…絶縁膜、17…n⁺⁺型層、18、19…素子分離酸化膜、20…多結晶シリコン、21…シリコン基板、22…ゲート絶縁膜、23…第2ゲート電極。

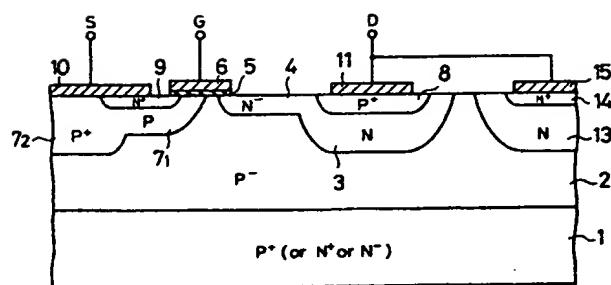


第1図

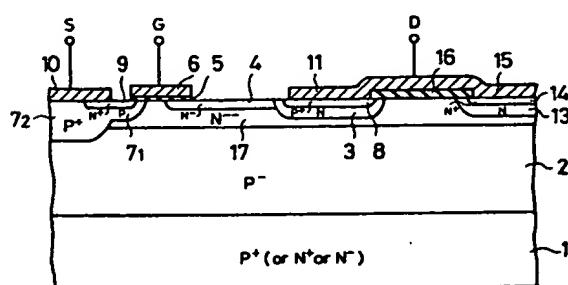
出願人代理人弁理士 鈴江武彦



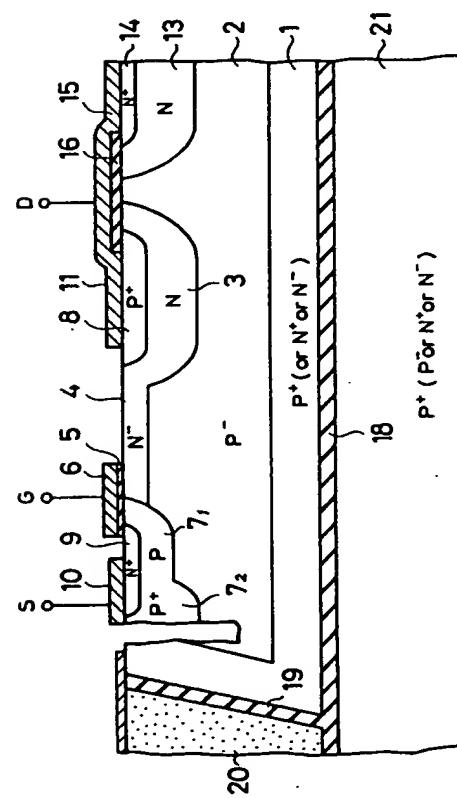
第2図



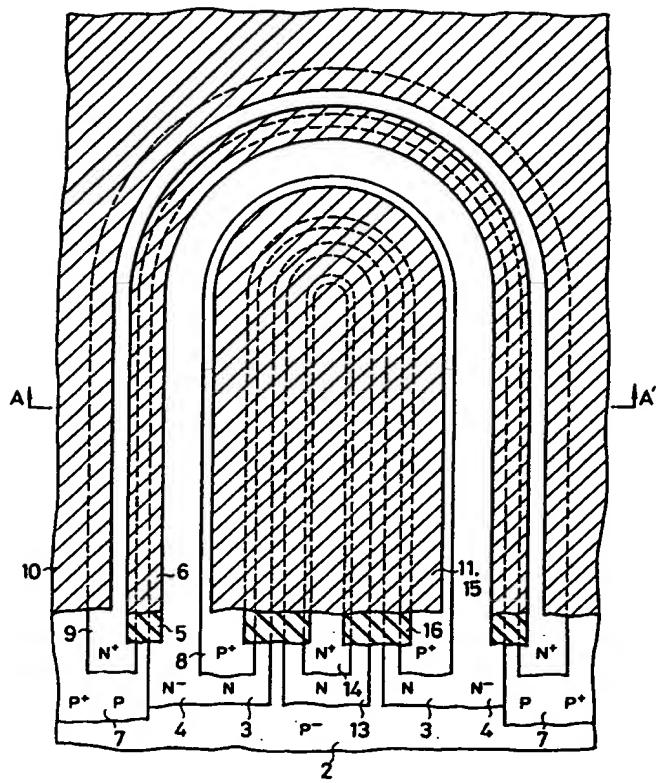
第3図



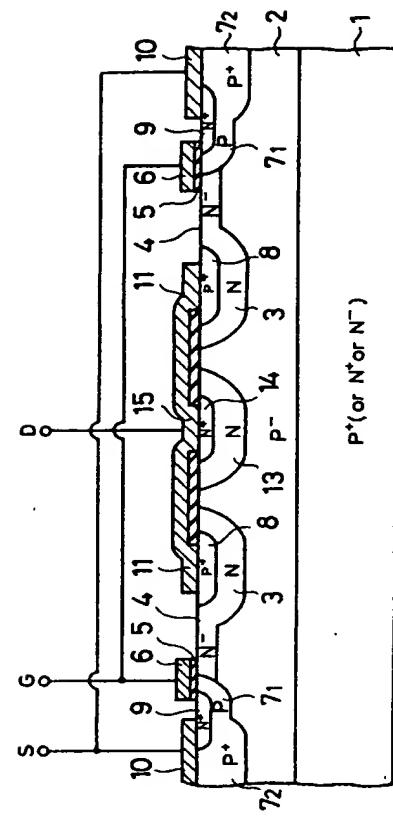
第4図



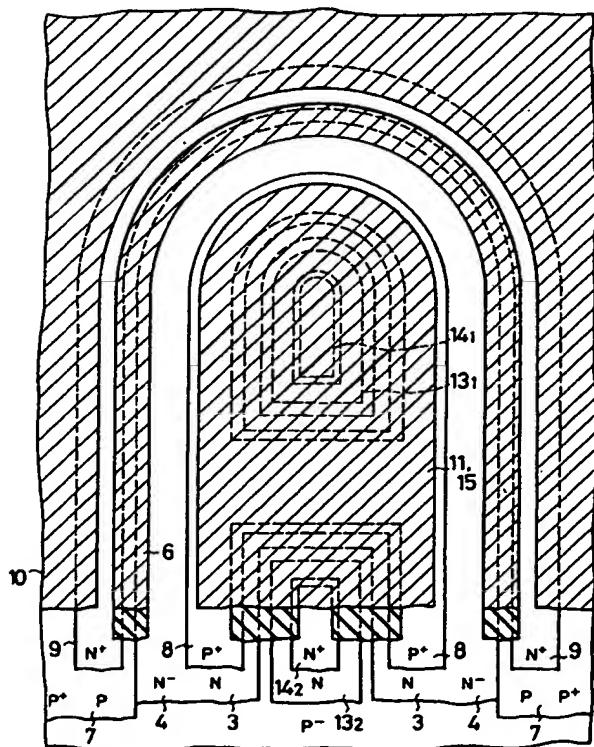
第5図



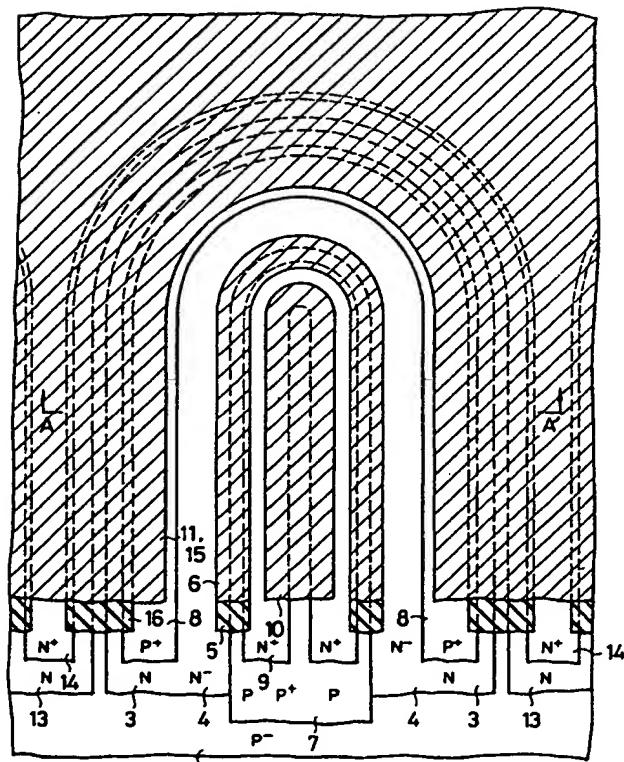
第6図(a)



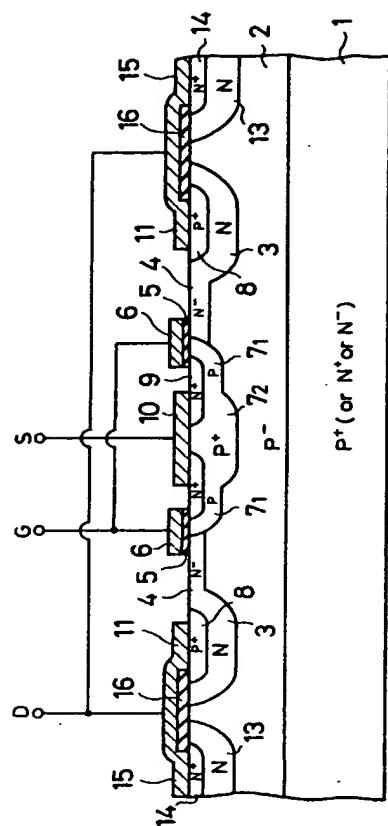
第6図(b)



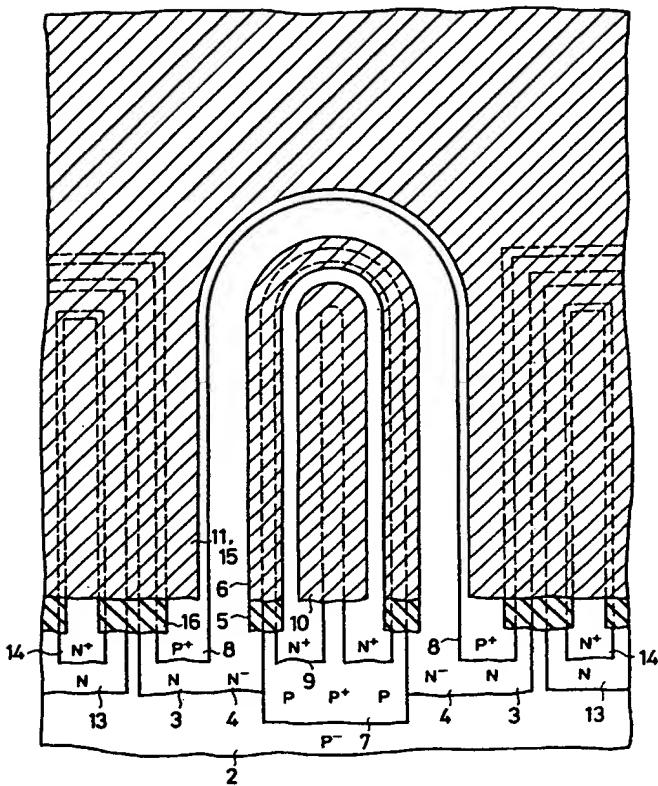
第7図



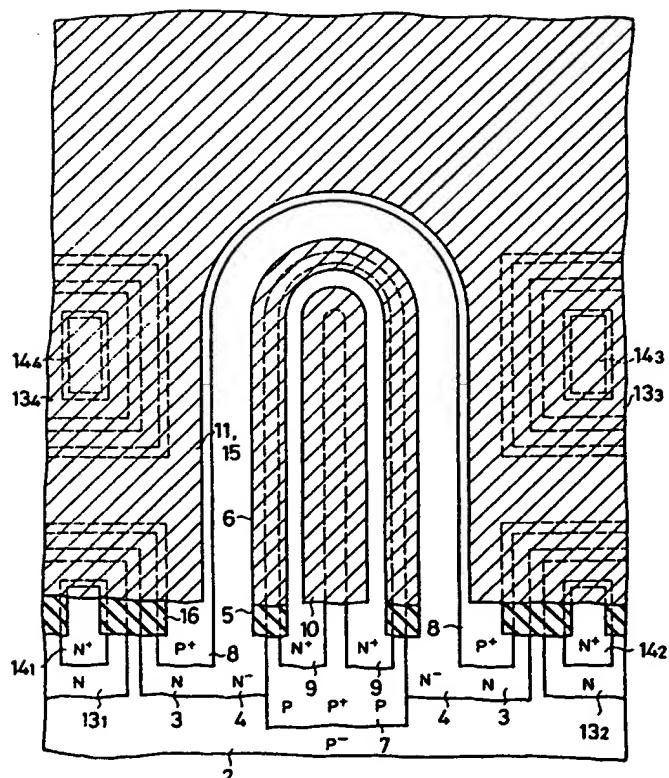
第8図(a)



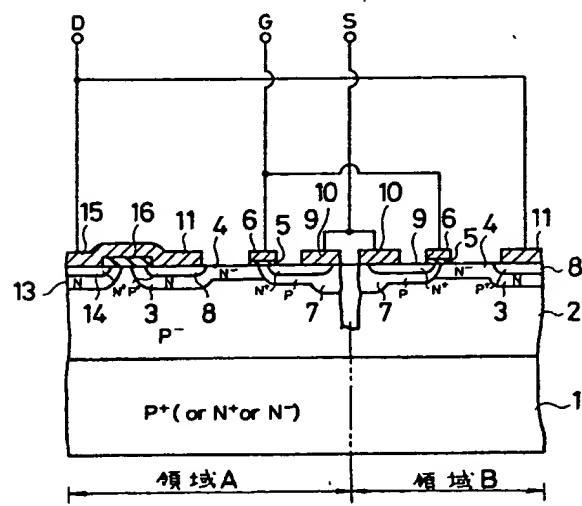
第 8 図 (b)



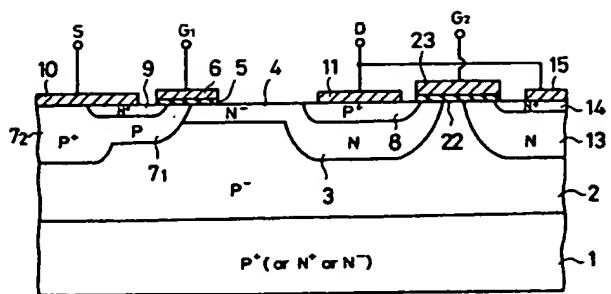
第 9 図



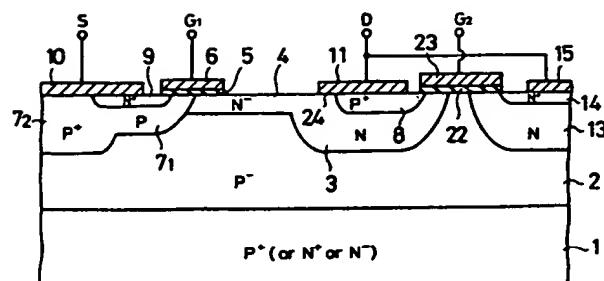
第 10 図



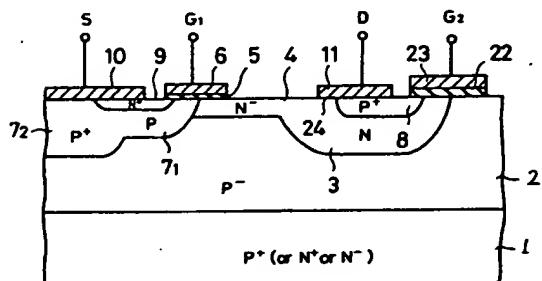
第 11 図



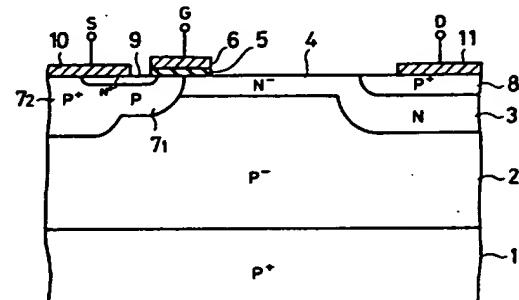
第 12 図



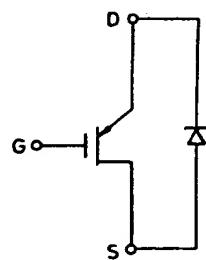
第 14 図



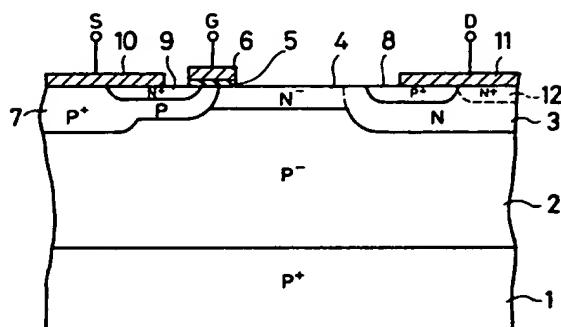
第 13 図



第 15 図



第 16 図



第 17 図